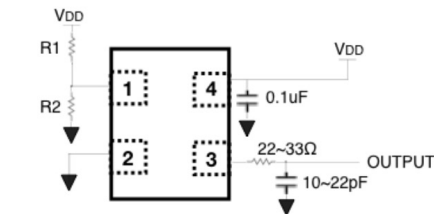
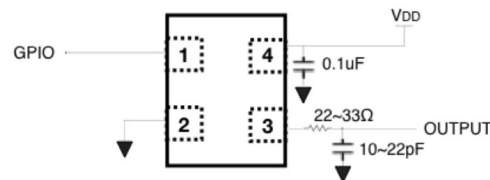


Schematics



Non-modulated clock output when R1 = NC or 4.7KΩ

Modulated clock output when R1 = NC & R2 = 0Ω

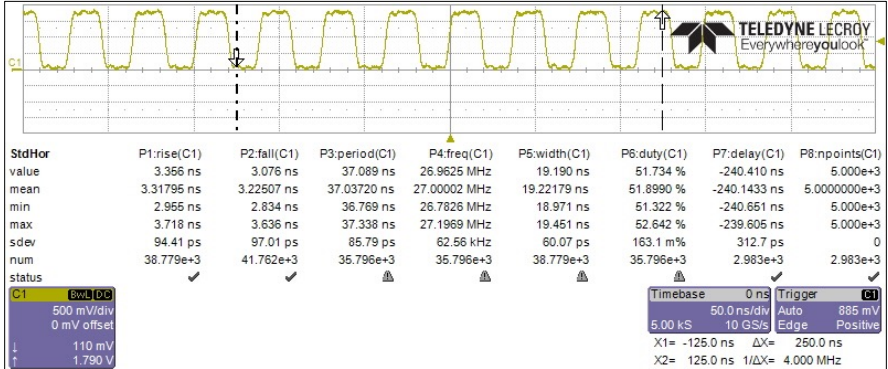
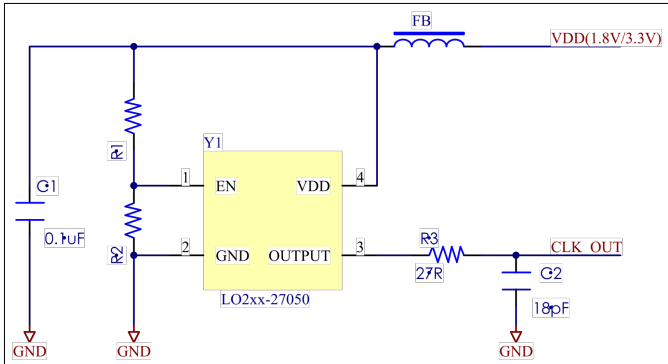
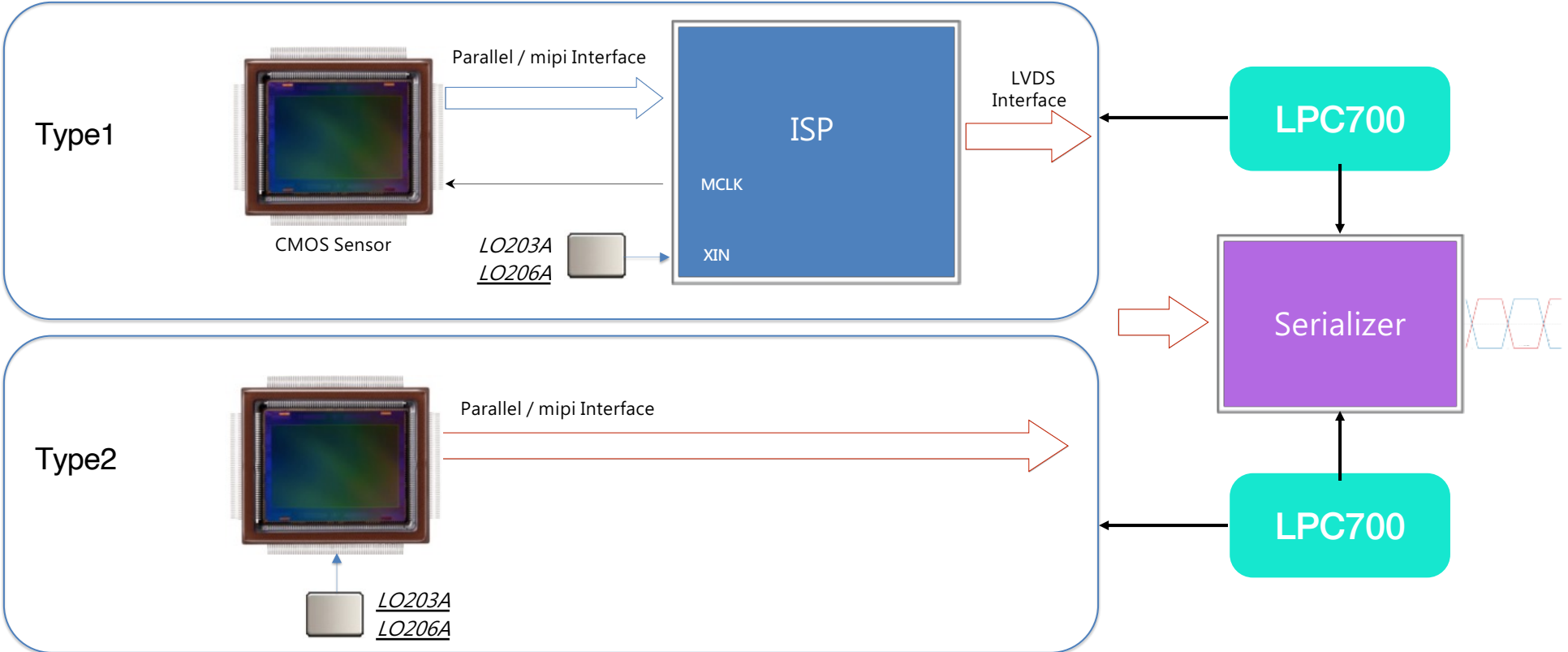


Non-modulated clock output when GPIO = High

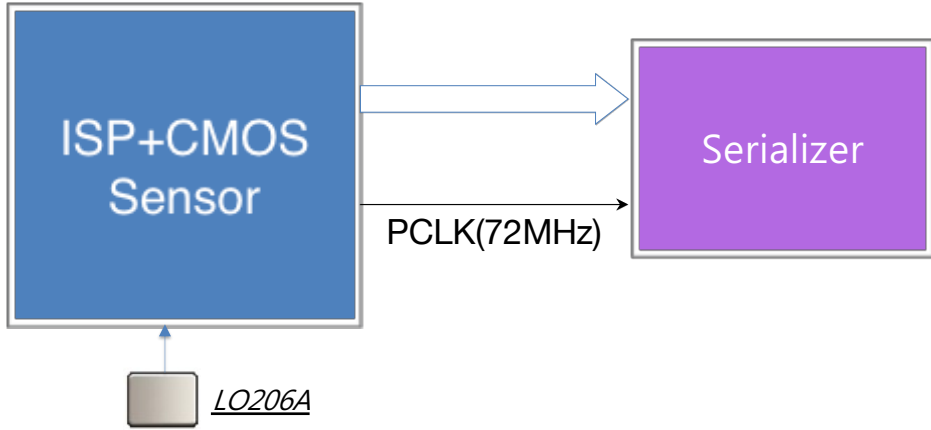
Modulated clock output when GPIO = Low

LO203/6A全球唯一双模式Low EMI & 高精度晶振

- SAΦIX™专有的非PLL相位调制技术
- Dual Mode: 可输出高精度低相噪 (<0.5ps)时钟或低辐射展频时钟 (+/-0.5%/+/-0.7%)
- Wide VDD Range 1.65V~3.65V
- Low power consumption 27MHz @1.8V SSEN 3.78 mA
- AEC-Q100 G1/G2
- 2.0mm x 1.6mm 陶瓷封装

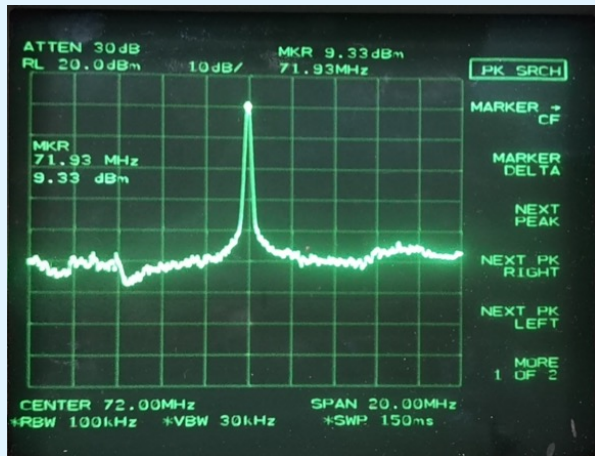


A Case Study



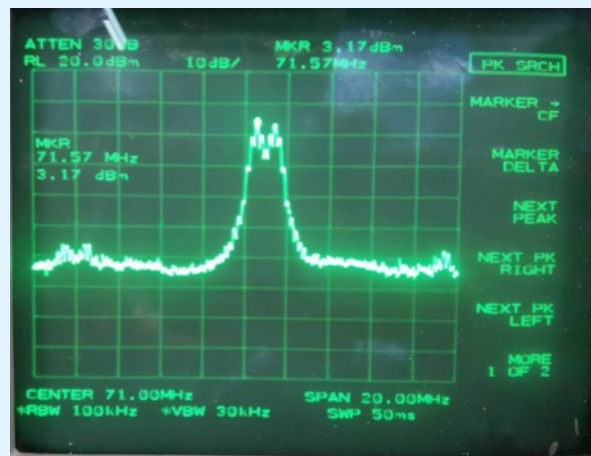
In the camera module design, there is high speed pixel clock and it could cause EMI emission. By adopting LO203/6, it will be easy to solve this EMI problem and save the time and cost during developing

PCLK : 9.33 dB @72MHz



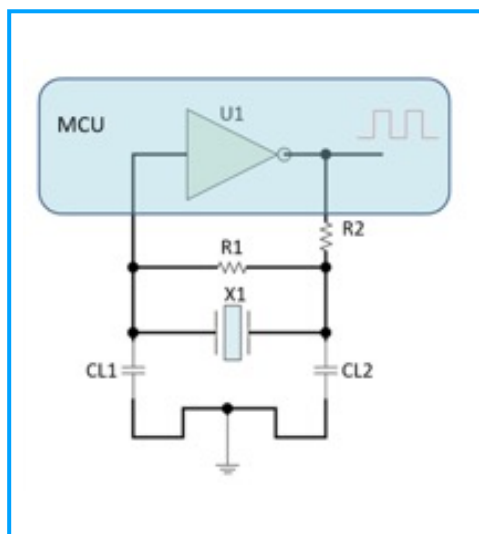
LO206 (PIN1=High)

PCLK : 3.17 dB @72MHz



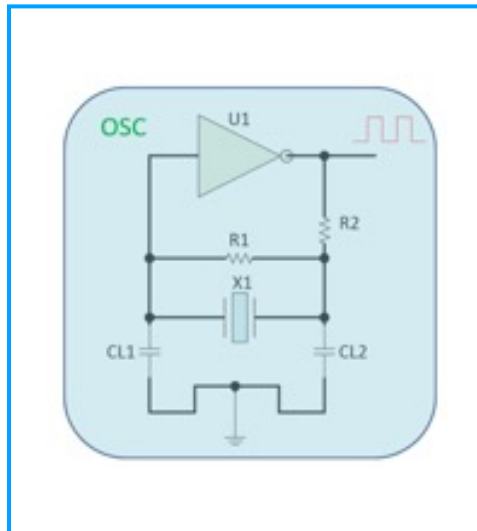
LO206 (PIN1=Low)

EMI peak reduction 6.16 dB



- R1是反馈电阻（一般 $\geq 1\text{M}\Omega$ ），它使反相器在振荡初始时处于线性工作区。
- R2与匹配电容组成网络，提供180度相移，同时起到限制振荡幅度，防止反向器输出对晶振过驱动将其损坏，同时R2起到U1与Crystal的匹配性调节的作用。
- CL它是电路中跨接晶体两端的总的有效电容（不是晶振外接的匹配电容），主要影响负载谐振频率和等效负载谐振电阻，与晶体一起决定振荡器电路的工作频率

- 采用**crystal**的方案，负载电容与实际PCB走线，芯片引脚寄生电容，外加的负载电容，而且这些负载电容那个会随着温度的变化而变，造成时钟的变化, 如果实际应用中**crystal**和MCU匹配性上稍有不慎例如R2选择，容易造成**Crystal**不起振荡或是晶振的烧毁。
- 实际影响频率精度以及**Crystal**振荡系统的稳定的因数远不止于此，PCB版本及批次参数差异，负载电容高低温及容值误差，振荡环路走线问题，噪声干扰问题等等都会造成时钟的稳定问题。



- 有源晶振将所有与无源晶振及相关的振荡电路封装在一个“盒子”里，这个盒子实际为OSC内部的wafer(晶圆)。OSC将所有的crystal所需要的外围电路集成到晶圆中，只需要提供电源就可以产生稳定的时钟，不会受到外围PCB走线和负载电容的影响。
- OSC将所有的振荡反馈回路器件集成在IC里面，通过陶瓷封装以及金属屏蔽罩封盖，使得内部起振电路免受外界电磁辐射干扰。
- OSC整个制程过程中，严格按照同时代crystal最新工艺条件进行选择内部集成电路，强化Crystal与IC的匹配性。
- 此外OSC应用于车载市场必须需要满足AEC-Q100 G1/2的测试要求，即Crystal与实际内部的负责起振的wafer经过严苛的AEC-Q100的可靠性测试，充分的验证Crystal与Wafer之间的匹配性，确保时钟输出的稳定。

备注: Crystal在过去20多年日益小型化技术发展，而MCU设计时容易忽略crystal的技术发展，导致Crystal与MCU起振模块匹配不良。OSC内部集成电路因应需求而随之技术发展而升级，提供可靠稳定的时钟。